

4)

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2004-159207

(P2004-159207A)

(43) 公開日 平成16年6月3日(2004.6.3)

(51) Int. Cl.⁷

H04B 1/40

F1

H04B 1/40

テーマコード (参考)

5K011

審査請求 未請求 請求項の数 4 O L (全 7 頁)

(21) 出願番号 特願2002-324670 (P2002-324670)
 (22) 出願日 平成14年11月8日 (2002.11.8)

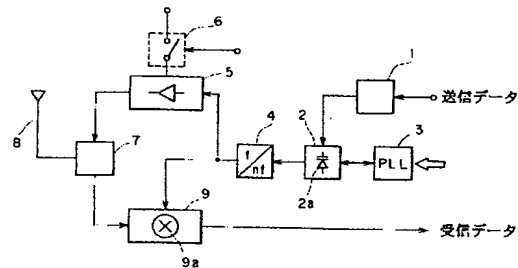
(71) 出願人 000010098
 アルプス電気株式会社
 東京都大田区雪谷大塚町1番7号
 (72) 発明者 武田 秀一
 東京都大田区雪谷大塚町1番7号 アルプ
 ス電気株式会社内
 (72) 発明者 宮浦 正夫
 東京都大田区雪谷大塚町1番7号 アルプ
 ス電気株式会社内
 Fターム(参考) 5K011 DA07 DA11 DA21 JA01 KA13

(54) 【発明の名称】 無線通信装置

(57) 【要約】

【課題】 ブラインドタイムスロットから送信タイムスロ
 ットに切り替わってからも電圧制御発振回路の発振周波
 数が変化しないようにする。

【解決手段】 所定の送信スロットで送信する送信回路5
 と、PLL回路3によって発振周波数が制御されると共
 に、変調データによって発振信号を直接FM変調する電
 圧制御発振回路2とを備え、送信回路5に対しては送信
 スロットにおける、電圧制御発振回路2がPLL回路3
 によってロックされるブラインドタイムスロットの期間
 で電源電圧の供給を停止すると共に、ブラインドタイム
 スロットに続く、電圧制御発振回路2がPLL回路3に
 よってロック解除されている送信タイムスロットの期間
 では送信回路5の電源電圧を供給し、送信タイムスロ
 ットの期間では変調データの直流レベルをブラインドタイ
 ムスロットの期間におけるそれよりも高く又は低くした



【選択図】

図1

【特許請求の範囲】

【請求項 1】

所定の送信スロットで送信する送信回路と、PLL回路によって発振周波数が制御されると共に、変調データによって発振信号を直接FM変調する電圧制御発振回路とを備え、前記送信スロットにおける前記電圧制御発振回路が前記PLL回路によってロックされるブラインドタイムスロットの期間では前記送信回路への電源電圧の供給を停止し、前記ブラインドタイムスロットに続く、前記電圧制御発振回路が前記PLL回路によってロックされない送信タイムスロットの期間では前記送信回路に電源電圧を供給し、前記送信タイムスロットの期間では前記変調データの直流レベルを前記ブラインドタイムスロットの期間におけるそれよりも高く又は低くしたことを特徴とする無線通信装置。

10

【請求項 2】

前記電圧制御発振回路にはレベル変換回路を介して前記変調データを入力し、前記レベル変換回路から出力される送信データの直流レベルを前記ブラインドタイムスロットの期間と前記送信タイムスロットの期間とで互いに異ならせたことを特徴とする請求項 1 に記載の無線通信装置。

【請求項 3】

前記レベル変換回路は直列接続された第一及び第二の抵抗回路と、前記第一又は第二の抵抗回路のいずれか一方に並列接続された第三の抵抗回路からなり、前記第三の抵抗回路に直列に第一のスイッチを介挿し、前記第一のスイッチの開閉状態を前記ブラインドタイムスロットの期間と前記送信タイムスロットの期間とで互いに異ならせたことを特徴とする

20

【請求項 4】

前記レベル変換回路は直列接続された第一及び第二の抵抗回路と、前記第一又は第二の抵抗回路のいずれか一方に並列接続された第三の抵抗回路と、前記第三の抵抗回路に並列接続された第四の抵抗回路とからなり、前記第三の抵抗回路の抵抗値と前記第四の抵抗回路の抵抗値とを異ならせ、前記第三の抵抗回路に直列に第一のスイッチを介挿すると共に、前記第四の抵抗回路に前記第一のスイッチと同じ構成の第二のスイッチを介挿し、いずれか一方のスイッチには前記ブラインドタイムスロットの期間と前記送信タイムスロットの期間とで互いに異なるレベルの切替信号を入力し、他方のスイッチにはインバータを介して前記切替信号を入力したことを特徴とする請求項 2 に記載の無線通信装置。

30

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は、時分割多元接続 (T D M A) による携帯電話等の無線通信装置に関する。

【0002】

【従来の技術】

従来の構成では、図 5 に示すように変調部 21 の電圧制御発振器 22 は位相制御回路 23、ローパスフィルタ 24 からなる PLL 回路からの制御電圧によって発振周波数が制御されている。デジタル信号源 25 から出力された変調信号 (デジタル信号) がスイッチ 26、バイアス電圧供給回路 27 を介して制御電圧と共に電圧制御発振器 22 のバラクタダイオード 22a に印加される。よって、電圧制御発振器 22 からは F S K 変調された送信信号が出力され、電力増幅器 28、送受切替回路 29 を介してアンテナ 30 に出力される。

40

【0003】

送受切替回路 29 は送信スロットの期間ではアンテナ 30 を電力増幅器 28 に接続し、受信スロットの期間では受信回路 (R X) 31 に接続する。また、スイッチ 26 は送信スロットの期間におけるブラインドタイムスロットの期間ではオフとなり、ブラインドタイムスロットに続く送信タイムスロットの期間ではオンとなる。また、位相制御回路 23 はブラインドタイムスロットの期間では動作状態となって電圧制御発振器 22 は PLL ロックされ、送信タイムスロットの期間では非動作状態となり、電圧制御発振器 22 はロック解除され、変調動作が行われる。電圧制御発振器 22 はロック解除されてもそれまで印加さ

50

れていた制御電圧がローパスフィルタ24等に充電されているので、ほぼロック解除時の発振周波数を維持する。但し、時間の経過によってもって僅か変化する（例えば、特許文献1参照。）。

【0004】

【特許文献1】

特開平11-225090号公報（図1参照）

【0005】

【発明が解決しようとする課題】

上記の構成では、通常電力増幅器28は送信タイムスロットの期間だけ電源電圧が印加されて動作状態とな、それ以外の期間（受信スロット及びブライントタイムスロット）では電源電圧の供給を停止する。これによって電力消費を少なくしている。よって、電力増幅器28にはブライントタイムスロットの期間が終了した時点で電源電圧が印加される。

【0006】

電力増幅器28には大電流が流れるので、電源電圧の印加時に電源電圧が変動する。この変動はPLLロックが解除されている電圧制御発振器22の発振周波数を変化させるため送信周波数に変化するという問題がある。発振周波数が増加する方向は電圧制御発振器22の回路定数に依存するため一定せず、高い方に増加することもある。

【0007】

本発明は、ブライントタイムスロットから送信タイムスロットに切り替わってからも電圧制御発振回路の発振周波数が増加しないようにすることをねらいとしている。

【0008】

【課題を解決するための手段】

本発明は、所定の送信スロットで送信する送信回路と、PLL回路によって発振周波数が制御されると共に、変調データによって発振信号を直接FM変調する電圧制御発振回路とを備え、前記送信スロットにおける前記電圧制御発振回路が前記PLL回路によってロックされるブライントタイムスロットの期間では前記送信回路への電源電圧の供給を停止し、前記ブライントタイムスロットに続く、前記電圧制御発振回路が前記PLL回路によってロックされない送信タイムスロットの期間では前記送信回路に電源電圧を供給し、前記送信タイムスロットの期間では前記変調データの直流レベルを前記ブライントタイムスロットの期間におけるそれよりも高く又は低くした。

【0009】

また、前記電圧制御発振回路にはレベル変換回路を介して前記変調データを入力し、前記レベル変換回路から出力される送信データの直流レベルを前記ブライントタイムスロットの期間と前記送信タイムスロットの期間とで互いに異ならせた。

【0010】

また、前記レベル変換回路は直列接続された第一及び第二の抵抗回路と、前記第一又は第二の抵抗回路のいずれか一方に並列接続された第三の抵抗回路とからなり、前記第三の抵抗回路に直列に第一のスイッチを介挿し、前記第一のスイッチの開閉状態を前記ブライントタイムスロットの期間と前記送信タイムスロットの期間とで互いに異ならせた。

【0011】

また、前記レベル変換回路は直列接続された第一及び第二の抵抗回路と、前記第一又は第二の抵抗回路のいずれか一方に並列接続された第三の抵抗回路と、前記第三の抵抗回路に並列接続された第四の抵抗回路とからなり、前記第三の抵抗回路の抵抗値と前記第四の抵抗回路の抵抗値とを異ならせ、前記第三の抵抗回路に直列に第一のスイッチを介挿すると共に、前記第四の抵抗回路に前記第一のスイッチと同じ構成の第二のスイッチを介挿し、いずれか一方のスイッチには前記ブライントタイムスロットの期間と前記送信タイムスロットの期間とで互いに異なるレベルの切替信号を入力し、他方のスイッチにはインバータを介して前記切替信号を入力した。

【0012】

10

20

30

40

50

【発明の実施の形態】

本発明の無線通信装置の構成を図1及び図2によって説明する。先ず、図1において、送信データはレベル変換回路1を介して電圧制御発振回路2に入力される。送信データは直流電圧に重畳された二値レベルで構成されている。

【0013】

レベル変換回路1は図2に示すように、第一の抵抗回路1aと、それに直列接続された第二の抵抗回路1bと、第一の抵抗回路1aまたは第二の抵抗回路1bに並列に接続された第三の抵抗回路1cと、第三の抵抗回路1cに直列に介挿されたスイッチ1dとからなる。レベル変換された送信データは第一の抵抗回路1aと第二の抵抗回路1bとの接続点から出力される。出力される送信データの直流レベルはスイッチ1dの開閉状態によって変換され、電圧制御発振回路2のパラクタダイオード2aに印加される。なお、第三の抵抗回路1cを第一の抵抗回路1aに並列接続してもよい。

10

【0014】

電圧制御発振回路2はPLL回路3から出力される制御電圧によって発振周波数が設定される。制御電圧はレベル変換回路1から出力される送信データと共にパラクタダイオード2aに印加される。この結果、電圧制御発振回路2からはFSK変調された送信信号が出力される。よって、電圧制御発振回路2は直接FM変調回路を構成する。

【0015】

電圧制御発振回路2から出力される送信信号は逡倍回路4によって逡倍され、送信回路5に入力される。送信回路5には電源スイッチ6を介して電源電圧が供給される。送信信号は電力増幅回路5aによって増幅され、アンテナ切替回路7を介してアンテナ8に出力される。

20

【0016】

アンテナ8で受信された受信信号はアンテナ切替回路7を介して受信回路9に入力される。受信回路9には周波数変換用のミキサ9aが設けられ、ミキサ9aには逡倍回路4から局部発振信号が供給される。よって、ミキサ9aから中間周波信号が出力される。中間周波信号は受信回路9内の復調回路（図示せず）によって受信データに変換される。

【0017】

以上の構成における動作を説明する。なお、この実施形態では電力増幅回路5aに電源電圧が印加されたときに電圧制御発振回路2の発振周波数が高い方に变化するという仮定のもとに説明する。TDM方式そのものは周知であるので詳細説明は省略するが、特定の無線通信装置では図3のAに示すように、割り当てられた所定の送信スロットと受信スロットとが交互に切り替わり、送信スロットと受信スロットとの間には他の無線通信装置の送信スロット又は受信スロットが交互に割り当てられる。アンテナ切替回路7はアンテナ8を送信スロットの期間では送信回路5に接続し、受信スロットの期間では受信回路9に接続する。

30

【0018】

送信スロットは図3のBに示すように、ブラインドタイムスロットとそれに続く送信タイムスロットとからなり、ブラインドタイムスロットの期間ではPLL回路3が動作しているので、電圧制御発振回路2はPLL回路3によってロックされ（図3のC）、所定の周波数で発振する。また、ブラインドタイムスロットの期間では電源スイッチ6がオフ状態であり（図3のD）、送信回路5又は電力増幅回路5aへの電源電圧の供給が停止されている。さらに、レベル変換回路1におけるスイッチ1dはオフとなっており、送信データは第一の抵抗回路1aと第二の抵抗回路1bとによって分圧される。そのときの直流レベルE1である送信データがパラクタダイオード2aに印加される。しかし、電力増幅回路5aが動作停止しているのでアンテナ8からは送信信号が出力されない。

40

【0019】

送信タイムスロットでは、例えばPLL回路3への電源電圧供給が停止されてロックが解除される。ロックの解除状態ではそれまで印加されていた制御電圧がPLL回路3に充電されているので、発振周波数はロック状態のときとほぼ同じように維持されている。

50

【0020】

ブライントタイムスロットから送信タイムスロットに切り替わってから間もなく電源スイッチ6がオンとなり、電力増幅回路5aに電源電圧が供給される(図3のD)。このときの電源電圧の変動等によって電圧制御発振回路2自体の発振周波数は高い方に变化しようとする。しかし、電力増幅回路5aへの電源電圧供給開始と同時にレベル変換回路1のスイッチ1dもオンとなる。すると、送信データの直流レベルはE1からE2に下がる(図3のE)。この送信データが制御電圧に重畳されてバラクタダイオード2aに印加されが従前よりは低くなる。よって、発振周波数が低い方に变化して元の発振周波数に戻る。

【0021】

もし、電圧制御発振回路2自体の発振周波数が、電源電圧の変化によって低い方に变化するものであるときには、スイッチ1dの動作を逆にして、電源スイッチ6のオン時にオフとし、電源スイッチ6のオフ時にオンとすればよい。

10

【0022】

なお、図4はレベル変換回路の他の構成を示し、第一の抵抗回路1aに直列接続された第二の抵抗回路1bには第三の抵抗回路1cと第一のスイッチ1dとの直列回路を並列接続し、この直列回路に対して第四の抵抗回路1eと第二のスイッチ1fとの直列回路を並列接続する。第三の抵抗回路1cの抵抗値と第四の抵抗回路1eの抵抗値とは異なる。また、第一のスイッチ1dと第二のスイッチ1fとは同じ構成である。そして、ブライントタイムスロットの期間と送信タイムスロットの期間とで互いに異なるレベルの切替信号を一方のスイッチ(例えば第二のスイッチ1f)に入力し、他方のスイッチ(例えば第一のスイッチ1d)にはインバータ1gを介して入力する。よって、切替信号のレベルを逆転するだけで変調データを高い方又は低い方へレベル変換できる。

20

【0023】

【発明の効果】

以上説明したように、送信回路に対しては送信スロットにおけるブライントタイムスロットの期間で電源電圧の供給を停止すると共に、ブライントタイムスロットに続く送信タイムスロットの期間では電源電圧供給を供給し、送信タイムスロットの期間では変調データの直流レベルをブライントタイムスロットの期間におけるそれよりも高く又は低くしたので、この送信データがPLL回路で作られた制御電圧と共に電圧制御発振回路に印加される。よって、電圧制御発振回路を従前までの発振周波数で発振させることができ、送信周波数の変化を無くすることができる。

30

【0024】

また、直接FM変調回路にはレベル変換回路を介して変調データを入力し、レベル変換回路から出力される送信データの直流レベルをブライントタイムスロットの期間と送信タイムスロットの期間とで互いに異ならせたので、レベル変換回路の制御だけで簡単に送信データの直流レベルを変えられる。

【0025】

また、レベル変換回路は直列接続された第一及び第二の抵抗回路と、第一又は第二の抵抗回路のいずれか一方に並列接続された第三の抵抗回路からなり、第三の抵抗回路に直列に第一のスイッチを介挿し、第一のスイッチの開閉状態をブライントタイムスロットの期間と送信タイムスロットの期間とで互いに異ならせたので、スイッチによってレベル変換回路の分圧比が変えられ、送信データの直流レベルが代わる。

40

【0026】

また、前記第一又は第二の抵抗回路のいずれか一方に並列接続された第三の抵抗回路と、第三の抵抗回路に並列接続された第四の抵抗回路とからなり、第三の抵抗回路の抵抗値と第四の抵抗回路の抵抗値とを異ならせ、第三の抵抗回路に直列に第一のスイッチを介挿すると共に、第四の抵抗回路に前記第一のスイッチと同じ構成の第二のスイッチを介挿し、いずれか一方のスイッチにはブライントタイムスロットの期間と送信タイムスロットの期間とで互いに異なるレベルの切替信号を入力し、他方のスイッチにはインバータを介して切替信号を入力したので、切替信号のレベルを逆転するだけで変調データを高い方又は低

50

い、方へレベル変換できる。

【図面の簡単な説明】

【図1】本発明の無線通信装置の構成を示す回路図である。

【図2】本発明の無線通信装置におけるレベル変換回路の構成を示す回路図である。

【図3】本発明の無線通信装置の動作を説明するタイミングチャートである。

【図4】本発明の無線通信装置におけるレベル変換回路の他の構成を示す回路図である。

【図5】従来の無線通信装置の構成を示す回路図である。

【符号の説明】

- 1 レベル変換回路
- 1a 第一の抵抗回路
- 1b 第二の抵抗回路
- 1c 第三の抵抗回路
- 1d 第一のスイッチ
- 1e 第四の抵抗回路
- 1f 第二のスイッチ
- 1g インバータ
- 2 電圧制御発振回路
- 2a バラクタダイオード
- 3 PLL回路
- 4 逡倍回路
- 5 送信回路
- 5a 電力増幅回路
- 6 電源スイッチ
- 7 アンテナ切替回路
- 8 アンテナ
- 9 受信回路
- 9a ミキサ

10

20

Figure 1 is a block diagram of a PLL-based frequency synthesizer. The diagram shows a feedback loop where a PLL (3) receives a reference signal (2) and outputs a signal (2a) to a divider (4) with a division ratio of $1/n$. The divider's output goes to a buffer (5) and then to a mixer (9). The mixer also receives a signal from a buffer (7) which is fed back from the mixer's output (9a). The mixer's output (9a) is also fed back to the PLL (3). A separate path shows a data signal (1) being sent to a transmitter (6) and a receiver (8).

[illegible]

Figure 1 is a timing diagram showing the sequence of events for the transmission and reception of the first frame. The events are labeled A through E, and a vertical dashed line indicates a specific point in time.

- A:** Transmission slot (送信スロット). This event occurs before the vertical dashed line.
- B:** Blind time slot (ブラインドタイムスロット). This event occurs after the vertical dashed line.
- C:** PLL Lock (PLL ロック). This event occurs after the vertical dashed line.
- D:** Power switch OFF (電源スイッチ OFF). This event occurs after the vertical dashed line.
- E:** Power switch ON (電源スイッチ ON). This event occurs after the vertical dashed line.